

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-238533

⑬ Int. Cl. 5

G 06 F 11/22
15/78

識別記号

3 4 0 C
5 1 0 K

庁内整理番号

7230-5B
9072-5B

⑭ 公開 平成3年(1991)10月24日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特願 平2-35437

⑰ 出願 平2(1990)2月15日

⑱ 発明者 古賀 隆俊 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

1. 内部バス上のアドレスとデータをラッチし、バスインターフェイス端子に出力するバスインターフェイス回路を有するマイクロコンピュータにおいて、

制御信号に基づいて前記バスインターフェイス回路の出力を禁止し、前記内部バスの内容を前記バスインターフェイス端子に出力する回路を有することを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、内部バス上のアドレスとデータをラッチし、バスインターフェイス端子に出力するバスインターフェイス回路を有するマイクロコンピュータに関する。

(従来の技術)

従来、この種のバスインターフェイス回路は、

第5図に示すように、アドレスラッチクロック41とデータラッチクロック42を入力とするオア回路33, 38、オア回路33の出力を反転するインバータ34と、オア回路33の出力が“1”となると内部バス31上のアドレス、データをラッチするラッチ回路32と、ラッチ回路32の出力とアドレスラッチクロック41、データラッチクロック42のそれぞれ論理積をとるアンド回路35, 36と、アンド回路35, 36の出力を入力とするオア回路37と、オア回路38の出力が“1”的ときオア回路37の出力をバスインターフェイス端子40に出力するドライバ39で構成されており、その動作タイミングは内部バス31にアドレスがのっている時はアドレスラッチクロック41に基づきラッチ回路32がアドレスを取り込みアンド回路35によりバスインターフェイス端子40よりアドレスが出力される。マイクロコンピュータが演算処理などを行なっている時には処理中のデータが内部バス31にのっておりその時はバスインターフェイス端子40はハイ

ンピーダンスになっている。次に、マイクロコンピュータの処理が終了しデータが内部バス31にのっている時にはデータラッチクロック42に基づきラッチ回路32がデータを取り込みアンド回路36によりバスインターフェイス端子40よりデータが出力される。

(発明が解決しようとする課題)

上述した従来のマイクロコンピュータのバスインターフェイス回路は、アドレスとデータ情報のみしか出力できず、そのデータを生成する途中の処理においてその状態を観測できないため、不良品除去のテスト時において検出率の高いテストが期待できないという欠点がある。

本発明の目的は、マイクロコンピュータがデータ処理中の情報をバスインターフェイス端子に出力することができるマイクロコンピュータを提供することである。

(課題を解決するための手段)

本発明のマイクロコンピュータは、制御信号に基づいてバスインターフェイス回路の出力を禁止

ロック21とラッチ回路12の出力とインバータ24の出力の論理積をとるアンド回路15と、データラッチクロック22とラッチ回路12の出力とインバータ24の出力の論理積をとるアンド回路16と、制御信号26が"1"のとき内部バス1の内容を出力するアンド回路25と、アンド回路15、16、25の出力を入力とするオア回路17と、アドレスラッチクロック21とデータラッチクロック22と制御信号26を入力とするオア回路18と、オア回路18の出力が"1"のときオア回路17の出力をバスインターフェイス端子20に出力するドライバ19を有している。

次に、この回路の動作を第2図、第3図のタイミング図に従って説明する。

まず、制御信号26が"0"のときは従来例と同じくラッチ回路12にラッチされているアドレスとデータが第2図のように出力される。次に、制御信号26が"1"のときはアンド回路25が選択されるので、第3図のように、内部バス11の情報が常時、バスインターフェイス端子20より観

し、内部バスのデータをバスインターフェイス端子より出力する回路を有している。

(作用)

したがって、データ生成処理の途中における内部バスの状態をバスインターフェイス端子より出力できる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例のマイクロコンピュータの要部の回路図、第2図、第3図はその動作を示すタイミング図である。

このマイクロコンピュータは、アドレスクロック21とデータラッチクロック22を入力とするオア回路13と、オア回路13の出力を反転するインバータ14と、オア回路13の出力が"1"となると内部バス11上のアドレス、データをラッチするラッチ回路12と、制御信号入力端子23と、制御信号入力端子23からの制御信号26を反転するインバータ24と、アドレスラッチクロ

ック21とラッチ回路12の出力とインバータ24の出力の論理積をとるアンド回路15と、データラッチクロック22とラッチ回路12の出力とインバータ24の出力の論理積をとるアンド回路16と、制御信号26が"1"のとき内部バス1の内容を出力するアンド回路25と、アンド回路15、16、25の出力を入力とするオア回路17と、アドレスラッチクロック21とデータラッチクロック22と制御信号26を入力とするオア回路18と、オア回路18の出力が"1"のときオア回路17の出力をバスインターフェイス端子20に出力するドライバ19を有している。

第4図は本発明の第2の実施例の回路図である。この場合制御信号26を生成するのに端子を用いず、ラッチクロック29に基づき内部バス11の値をラッチ回路28が取り込むことにより実現しているため、端子が増加しないという利点がある。

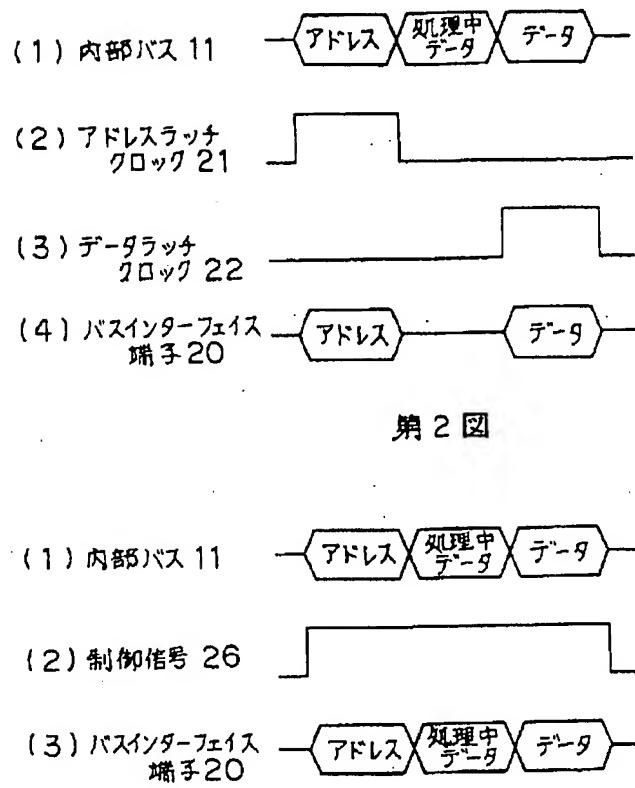
(発明の効果)

以上説明したように本発明は、制御信号に基づき内部バスの内容をバスインターフェイス端子に出力する回路を有することにより、本来のバスインターフェイス回路の機能は保ったままマイクロコンピュータがデータ処理中の情報までもバスインターフェイス端子より観測できるため、不良品除去という場面において高検出率のテストが実現できる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例のマイクロコンピュータの回路図、第2図、第3図は本実施例の回路動作を示すタイミング図、第4図は本発明の第2の実施例のマイクロコンピュータの回路図、第5図は従来例の回路図である。

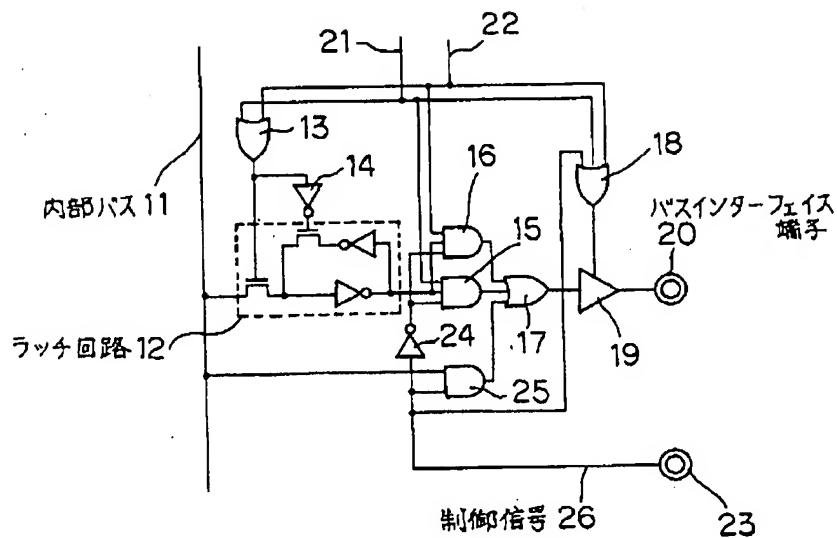
11………内部バス、 12………ラッチ回路、
 13………オア回路、 14………インバータ、
 15,16………アンド回路、
 17,18………オアゲート、 19………ドライバ、
 20………バスインターフェイス端子、
 21………アドレスラッチクロック、
 22………データラッチクロック、
 23………制御信号入力端子、
 24………インバータ、 25………アンドゲート、
 26………制御信号、
 27………インバータ、 28………ラッチ回路、
 29………ラッチクロック。



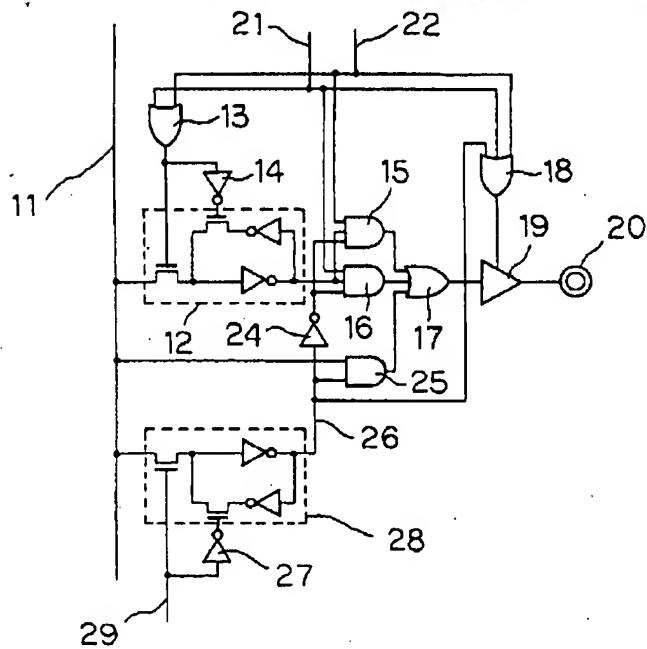
第2図

特許出願人 日本電気株式会社
 代理人 弁理士 内原晋

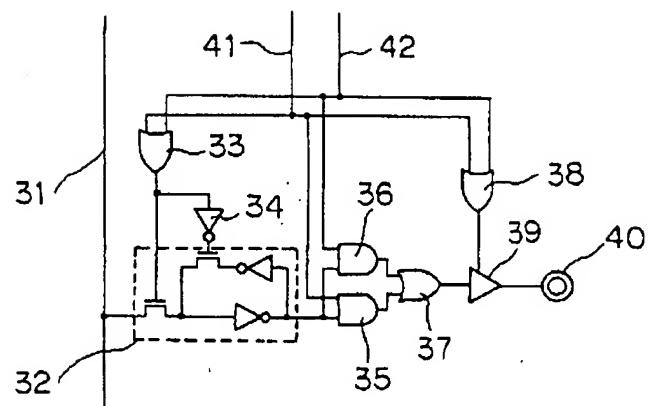
第3図



第1図



第4図



第5図